

---

Prítomní:	Martin Hyben	Dátum a čas konania:	26.3.2012
	Tomáš Jančiga (zapisovateľ)	Miesto konania:	D124
	Martin Kardoš	Trvanie:	60 minút
	Ľubomír Maron	Vedúca tímu:	Ing. Katarína Jelemenská

---

## Téma stretnutia

Vyhodnotenie úloh z predchádzajúceho stretnutia, definovanie týchto dôležitých úloh, ktoré je potrebné rozdeliť členom tímu a splniť do odovzdania projektu:

1. Spojenie dvoch čiar signálu pomocou bodky.
2. Medziúrovňové signály, ktoré nie sú definované je potrebné generovať s prázdnyimi atribútmi.
3. Implementácia prechádzania úrovňami dvojklikom.
4. Vytvorenie prvku TreeView pre navigáciu medzi úrovňami.
5. Implementácia presúvania grafických objektov vizualizovaného modelu.
6. Vyríšenie podoby pracovnej plochy.
7. V grafickej reprezentácii je potrebné zobrazovať aj všetky atribúty jednotlivých objektov, plus vytvorenie options pre vypnutie a zapnutie zobrazenia jednotlivých atribútov.
8. Simulácia externého testbenchu.
9. Výpis niektorých VHDL zdrojových súborov. (pravdepodobne s iným kódovaním)
10. Vypisovanie objektov do XML.
11. Vizualizácia simulácie.
12. Časové pečiatky, prípadne hashovanie súborov.
13. Pridávanie poznámok do vizualizovaného modelu.

## Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Popis úlohy	Pridelenie	Stav	Termín splnenia
15.1	Dokončenie implementácie vizualizačnej časti	Ľubomír Maron	častočne splnená	2.4.2012
15.2	Implementovanie generátora testbenchu pre VHDL	Martin Kardoš	Splnená	26.3.2012
15.3	Implementovanie generátora testbenchu pre Verilog	Zsolt Süll	Splnená	26.3.2012

## Opis stretnutia

Body stretnutia :

- Vyhodnotenie úloh z predchádzajúceho stretnutia
- Diskusia o ďalších úlohách.
- Vytvorenie zoznamu úloh.
- Diskusia o postupe pri implementácii jednotlivých úloh.

## Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
16.1	Identifikované úlohy 1, 3, 4, 5, 6	Ľubomír Maron	20.4.2012
16.2	Implementovanie generátora testbenchu pre VHDL	Martin Kardoš	2.4.2012
16.3	Implementovanie generátora testbenchu pre Verilog	Zsolt Süll	2.4.2012
16.4	Integrácia upravenej SystemC knižnice do hlavného projektu.	Tomáš Jančiga	2.4.2012
16.5	Dokončenie algoritmu pre vytváranie prepojení medzi portami modulov (signály).	Martin Hyben	2.4.2012

---

Spracoval: Tomáš Jančiga

---

Overila: Ing. Katarína Jelemenská