

Vizualizácia modelov digitálnych systémov

Dokumentácia riadenia

(Tímový projekt - Tím č.5)

Bc. Martin Hyben
Bc. Martin Kardoš
Bc. Ľubomír Maron
Bc. Zsolt Süll
Bc. Tomáš Jančiga

Vedúci tímového projektu: Ing. Katarína Jelemenská, PhD.
Ročník: 1.
Štúdium: Inžinierske
Apríl 2012

Obsah

1. Ponuka.....	3
1.1 Zadanie.....	3
1.2 Motivácia.....	3
1.3 Členovia tímu.....	3
1.4 Špecifikácia zadania.....	4
1.5 Návrh systému.....	5
1.6 Predpokladané zdroje.....	9
1.7 Zoradenie tém podľa priority.....	9
2. Plán projektu.....	10
2.1 Zimný semester.....	10
2.2 Letný semester.....	13
3. Úlohy členov tímu.....	15
4. Zápisnice zo stretnutí.....	16
4.1 Zápisnica č. 1.....	16
4.2 Zápisnica č. 2.....	17
4.3 Zápisnica č. 3.....	18
4.4 Zápisnica č. 4.....	20
4.5 Zápisnica č. 5.....	21
4.6 Zápisnica č. 6.....	23
4.7 Zápisnica č. 7.....	24
4.8 Zápisnica č. 8.....	25
4.9 Zápisnica č. 9.....	26
4.10 Zápisnica č. 10.....	28
4.11 Zápisnica č. 11.....	29
4.12 Zápisnica č. 12.....	30
4.13 Zápisnica č. 13.....	31
4.14 Zápisnica č. 14.....	32
4.15 Zápisnica č. 15.....	33
4.16 Zápisnica č. 16.....	34
4.17 Zápisnica č. 17.....	35
4.18 Zápisnica č. 18.....	37
4.19 Zápisnica č. 19.....	38
5. Posudky.....	40
5.1 Posudok prototypu tímu č. 2.....	40
5.2 Posudok prototypu od tímu č.3.....	41

1. Ponuka

1.1 Zadanie

Analyzujte problematiku vizualizácie modelov digitálnych systémov, opísaných v dostupných HDL jazykoch. Analyzujte možnosti vizualizácie, ktoré poskytujú dostupné návrhové systémy. Na základe analýzy navrhnete a implementujete systém, ktorý transformuje zadaný HDL model na schematický zápis zodpovedajúci opisu štruktúry, resp. na vizualizáciu procesov zodpovedajúcich opisu správania. Vytvorený schematický zápis by mal zachovávať hierarchiu pôvodného modelu, umožňovať samostatné zobrazenie jednotlivých hierarchických úrovní, zmenu usporiadania objektov danej úrovne a export (tlač) jednotlivých hierarchických úrovní, prípadne ich výrezov. Systém by mal umožňovať vizualizáciu simulácie modelov digitálnych systémov, či už vo sfére štruktúry, alebo správania sa. Pri návrhu a implementácii systému sa zamerajte na jednoduchosť ovládania vytvorenej aplikácie s ohľadom na jej použitie vo forme učebnej pomôcky a podporného prostriedku na tvorbu dokumentácie a možnosť jednoduchého rozšírenia o podporu ďalších HDL jazykov.

1.2 Motivácia

Hlavnou motiváciou nášho tímu je vyskúšať si tímovú prácu v praxi. V dnešnom svete informačných technológií je práca v tíme veľmi dôležitá a žiadaná. Udržať tímového ducha a zosúladiť prácu všetkých členov tímu je v dnešnej dobe hlavnou podmienkou úspešného dokončenia každého projektu. Aj keď si každý z nás už prácu vo dvojici alebo trojici vyskúšal, nikdy to nebolo na projekte takýchto rozmerov. V našej práci bude potrebná a dôležitá koordinácia práce. V našom zadaní je potrebné tiež naprogramovať vizualizačný nástroj pre digitálne opisné jazyky. Do dnes sme vždy na programátorských projektoch pracovali samostatne a práve práca na tomto projekte nás preverí v návrhu, implementácii a správe aplikácie v tíme.

1.3 Členovia tímu

- Bc. Hyben Martin
- Bc. Jančiga Tomáš
- Bc. Kardoš Martin
- Bc. Maron Ľubomír
- Bc. Süll Zsolt

Všetci členovia tímu absolvovali predmety Logické obvody a Opis digitálnych systémov, ktoré boli súčasťou bakalárskeho štúdia. Počas štúdia predmetu Logické obvody sme sa zoznámili s programom Log, ktorý slúži na návrh logických obvodov. Využiť ho môžeme ako jednu z možností overenia výstupu nami navrhnutého systému. V rámci predmetu Opis digitálnych systémov sme sa oboznámili s opisom systémov pomocou hardvérových opisných jazykov, ako VHDL, SystemC a HandleC. Ďalším prínosom predmetu bola práca s programom ModelSim, pomocou ktorého si môžeme overiť výstup prípadnej simulácie systému. Člen tímu Bc. Jančiga Tomáš v rámci svojej bakalárskej práce vizualizoval sieťovú topológiu pre program Dynagen.

1.4 Špecifikácia zadania

V analýze projektu sa zameriame na problematiku vizualizácie modelov digitálnych systémov opísaných v jazykoch VHDL, Verilog a SystemC. Pri analýze existujúcich návrhových systémov budeme vychádzať z diplomových projektov vypracovaných na našej fakulte, ktoré sa zaoberali témami blízkyimi problematike nášho zadania. Z dôvodu jednoduchej rozšíriteľnosti vytvoreného riešenia o ďalšie jazyky alebo ďalšie rozšírenia už podporovaných jazykov analyzujeme a navrhujeme najlepší formát výstupu transformácie z HDL jazykov do univerzálneho formátu. Tento formát by mal umožniť jednoduchú implementáciu vizualizátora tohto formátu, ktorá nebude musieť pristupovať ku každému jazyku osobitne, ale podľa možnosti s čo najmenším počtom rozdielov.

V ďalšej časti analyzujeme možnosti využitia existujúcich riešení pre transformáciu do navrhnutého formátu a tiež pre jeho vizualizáciu. Vyberieme programové moduly, ktoré bude možné využiť a pristúpime k návrhu tých modulov, ktoré budeme musieť implementovať sami.

Ďalej analyzujeme možnosť pridať do navrhnutého formátu ďalšie údaje potrebné pre simuláciu, alebo vytvorenie samostatného formátu pre tieto účely.

Špecifikácia požiadaviek na vytvorený systém:

Dôležité požiadavky:

1. Systém musí podporovať jazyky VHDL, Verilog a SystemC.
2. Systém musí byť jednoducho rozšíriteľný o ďalšie jazyky, prípadne o nové možnosti už podporovaných jazykov.
3. Systém musí umožňovať vizualizáciu modelov opísaných v jazykoch VHDL, Verilog a SystemC.
4. Systém musí umožňovať zobrazovanie jednotlivých úrovní vizualizovaných modelov.
5. Systém musí umožňovať zmenu usporiadania objektov danej úrovne.
6. Systém musí umožňovať exportovanie vizualizovaného modelu, alebo jeho výrezu pre potrebu tvorby dokumentácie.
7. Systém musí byť jednoducho ovládateľný prostredníctvom grafického používateľského rozhrania.

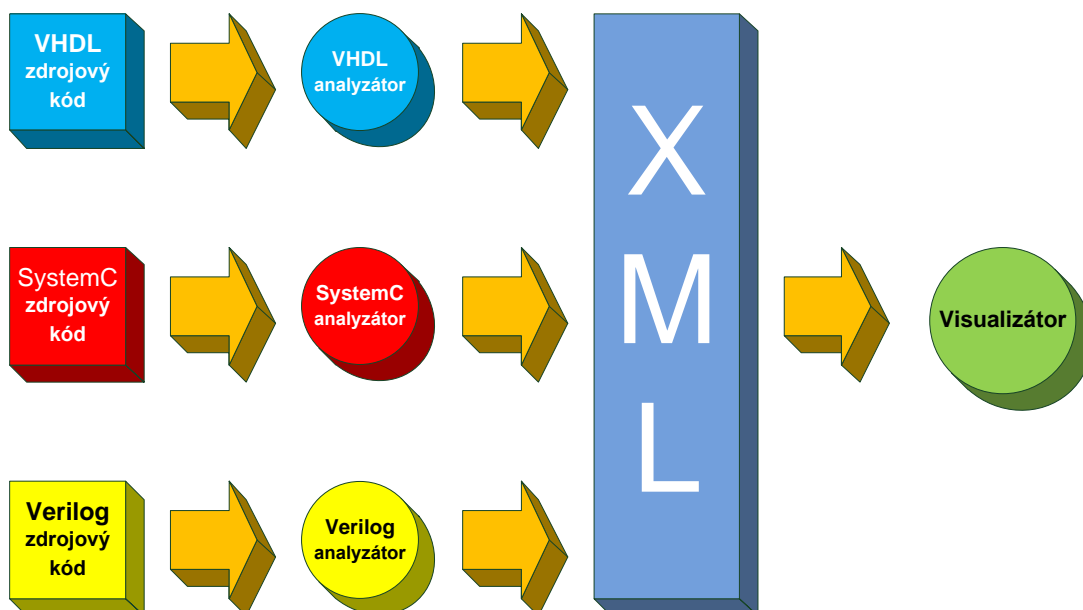
Menej dôležité požiadavky:

8. Systém by mal poskytovať možnosť vizualizácie simulácie modelov opísaných v jazykoch VHDL, Verilog a SystemC.
9. Systém by mal vedieť simulovať štruktúru aj správanie opísaných modelov.

Doplňujúce požiadavky:

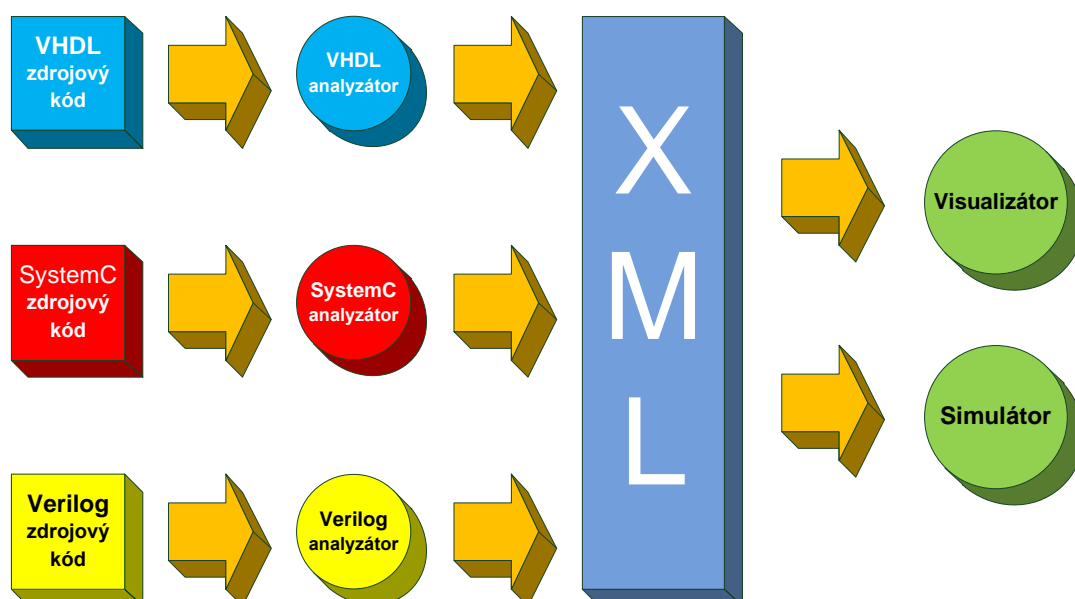
10. Zadávanie testovacích priebehov prostredníctvom grafického používateľského rozhrania.
11. Systém by mohol umožniť vytváranie, otváranie, editovanie a ukladanie zdrojových súborov.

1.5 Návrh systému



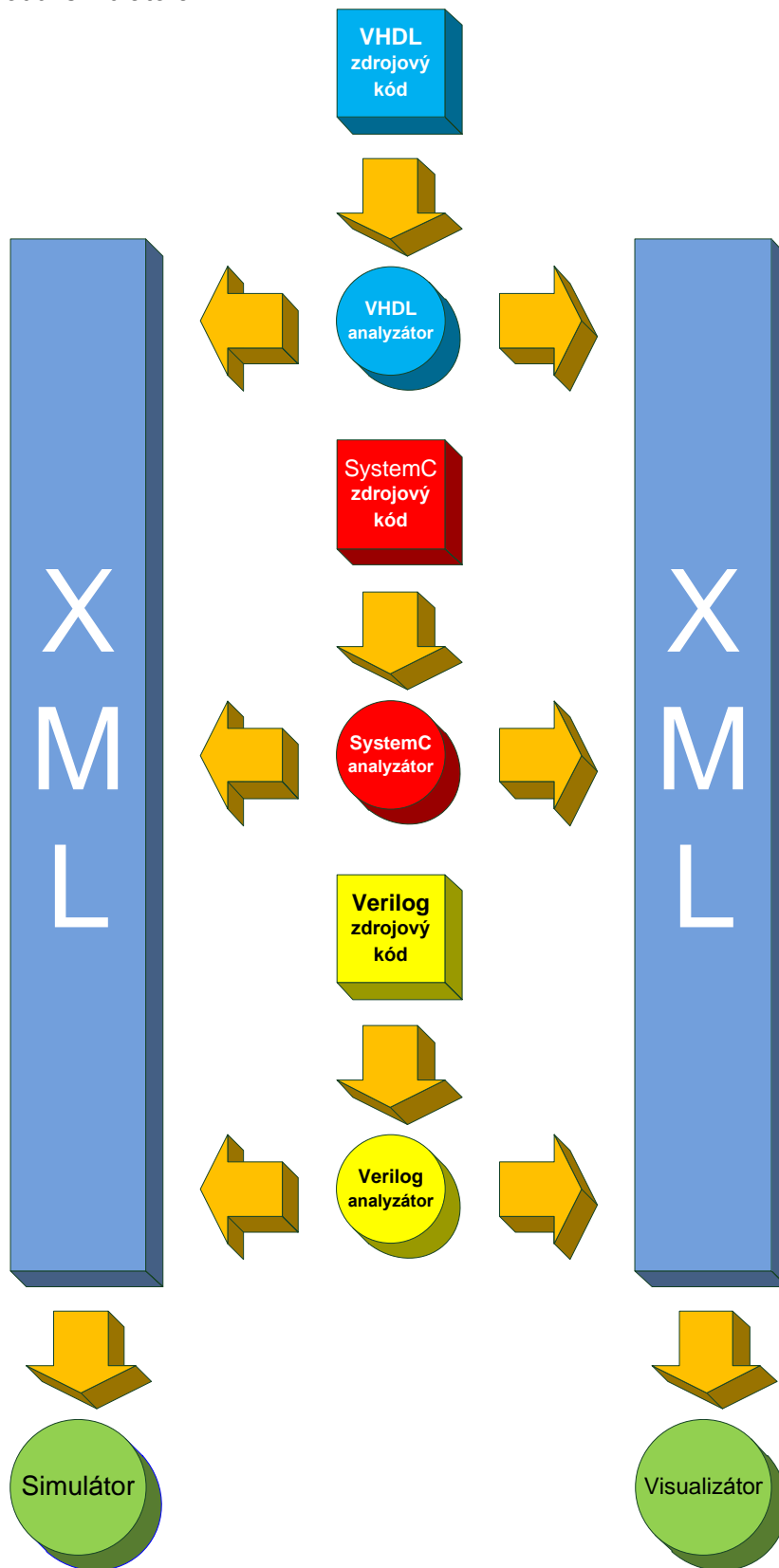
Obr. 1: Splnenie požiadaviek 1 až 7.

Na obrázku Obr. 1 je základná koncepcia navrhovaného systému. Systém bude ako vstup používať zdrojové súbory jazykov VHDL, SystemC a Verilog. Za pomoci generátora parserov ANTLR budú v systéme implementované parseery pre požadované jazyky. Parseery transformujú zdrojové súbory do formátu XML, ktorý bude univerzálny pre všetky podporované jazyky. Vďaka tomu nemusí vizualizátor pristupovať k jednotlivým jazykom osobitne a do systému je možné kedykoľvek doimplementovať ďalší vstupný jazyk a k nemu vygenerovať príslušný parser. Vizualizér použije XML súbor na vytvorenie grafickej reprezentácie opísaného systému. Grafická reprezentácia sa zobrazí používateľovi v grafickom rozhraní, pričom používateľ môže meniť usporiadanie objektov v rámci danej úrovne. Systém tiež umožní exportovať výstup vizualizátora. Táto koncepcia je výsledkom splnenia všetkých dôležitých požiadaviek.



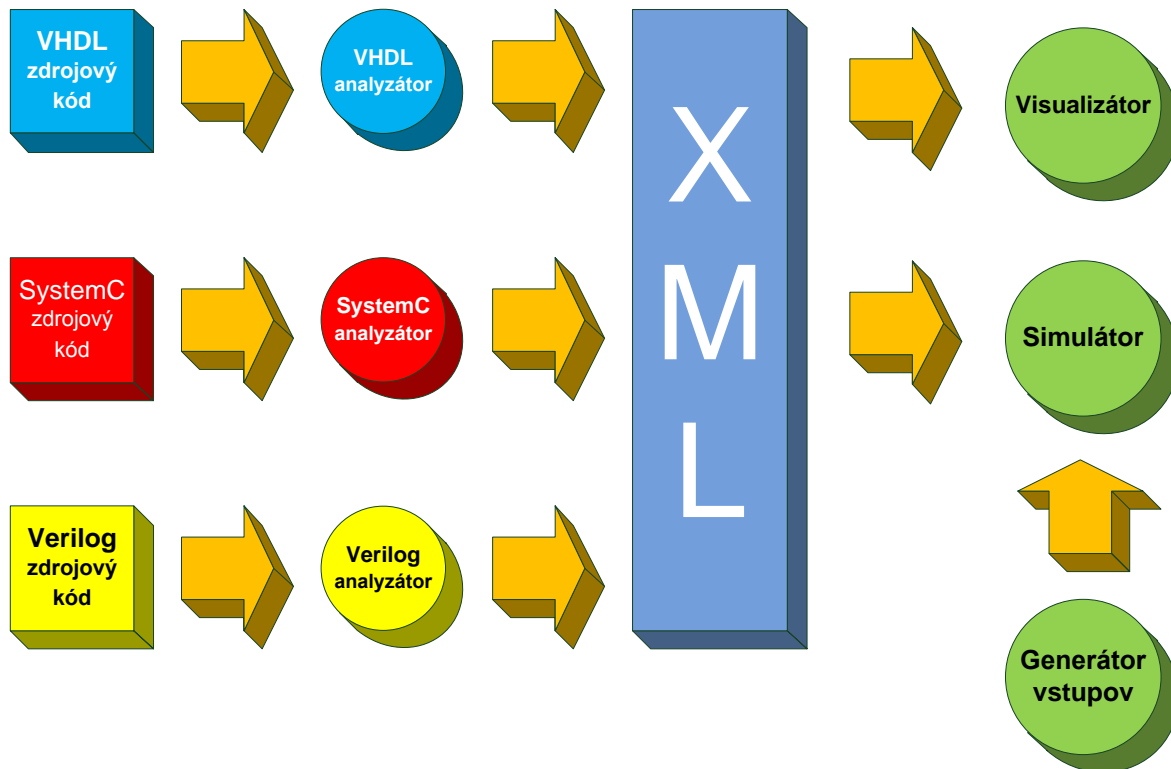
Obr. 2: Splnenie požiadaviek 1 až 9, prvá možnosť.

Pre splnenie požiadavky 8 a 9 sme identifikovali dve možné riešenia. Prvé z nich je zobrazené na obrázku Obr. 2. Toto riešenie upravuje parsery jednotlivých jazykov tak, že výstupný súbor XML obsahuje aj údaje potrebné pre simuláciu opísaného modelu, ktoré sú určené pre modul simulátora.



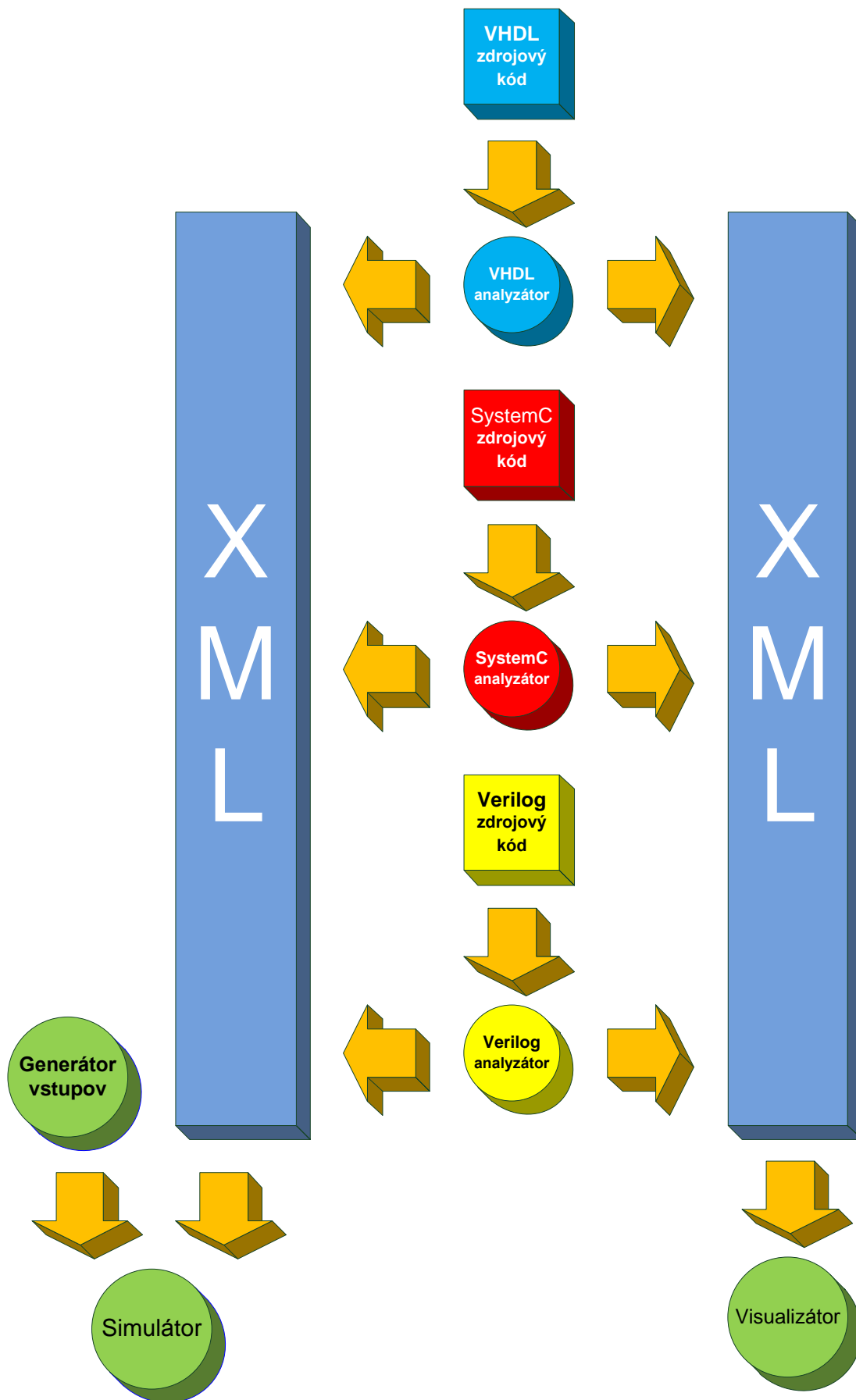
Obr. 3: Splnenie požiadaviek 1 až 9, druhá možnosť.

Na obrázku Obr. 3 je ďalšia alternatíva systému. V tomto prípade vytvoríme dva XML súbory. Prvý bude slúžiť ako vstup pre vizualizátor, druhý ako vstup pre simulátor. Vizualizátor a formát prvého XML súboru bude prevzatý z existujúceho systému. Táto alternatíva vznikla ako predpoklad, že existujúci vizualizátor nebude podporovať výstup parseru, ktorý bude obsahovať aj informácie pre simulátor.



Obr. 4: Splnenie všetkých požiadaviek, prvá možnosť.

Na obrázku Obr. 4 je doplnený modul generátora vstupov. Vstupy bude možno zadávať ručne, za pomoci grafického používateľského rozhrania alebo generátorom náhodných vstupov, ktorý bude mať tiež možnosť vyskúšať všetky možnosti vstupov. Táto požiadavka však patrí medzi doplňujúce. Nakoniec obrázok Obr. 5 zobrazuje druhú alternatívu systému s dvoma rôznymi formátmi pre vizualizáciu a pre simuláciu.



Obr. 5: Splnenie všetkých požiadaviek, druhá možnosť.

1.6 Predpokladané zdroje

Pri riešení zvoleného projektu budeme vychádzať z rôznych zdrojov, ktoré sú voľne dostupné. Aj na fakulte informatiky a informačných technológií vzniklo niekoľko publikácií a nástrojov, z nich spomenieme nasledovné:

1. J. Turoň, K. Jelemenská, Contribution to graphical representation of SystemC structural model simulation, in Proc. of the 7th FPGAward Conference, L. Lindh, V.J. Mooney, S. de Pablo, J. Öberg, Eds. Copenhagen (Denmark), September 2010
2. K. Jelemenská, M. Nosál, P. Čičák, Visualization of Verilog Digital Systems Models.
3. D. Macko, K. Jelemenská, VHDL Structural Model Visualization, in EUROCON 2011, Lisbon (Portugal), April 2011

Riešenie tímovej práce si vyžaduje vyhradiť čas, kedy sa budeme stretávať spoločne, ináč budeme robiť každý samostatne vo svojom voľnom čase. Na spoločné stretnutia potrebujeme približne 3 hodiny týždenne.

Zadanie našej tímovej práce sme sa rozhodli riešiť v jazyku C#, preto ako implementačné prostredie sme si zvolili Microsoft Visual Studio. Ako alternatívne riešenie by bolo možné využiť nástroj Eclipse s použitím vhodného rozšírenia pre C#.

Riešenie tejto práce nevyžaduje špeciálne požiadavky na miestnosť, a ani hardvér. Každý z členov tímu disponuje vlastným prenosným počítačom, ktorý spĺňa všetky požiadavky pre prácu na projekte. Všetci členovia tímu pracujú v prostredí operačného systému Windows, čo umožní používať rovnaké softvérové prostriedky. Konkrétne budeme potrebovať nasledovné

1.7 Zoradenie tém podľa priority

1. Vizualizácia modelov digitálnych systémov
2. Prostredie pre návrh digitálnych systémov (Digital System Designer)
3. Vývoj aplikácie pre mobilný telefón / inteligentný televízor
4. Návrh vnoreného systému (Embedded Development)

2. Plán projektu

2.1 Zimný semester

1. týždeň: Oboznámenie sa s témami a výber primárnej témy, o ktorú sa budeme uchádzať. Vytvorenie ponuky pre konkrétnu tému a vytvorenie prezentácie k ponuke.

Riešiteľ	Úloha	Termín dokončenia
všetci	Vypracovanie ponuky	26.9.2011
Kardoš	Náčrt základnej koncepcie systému	26.9.2011
Hyben	Vytvorenie prezentácie	26.9.2011

2. týždeň: Prezentácia ponuky a jej odovzdanie.

Riešiteľ	Úloha	Termín dokončenia
všetci	Prezentovanie ponuky	26.9.2011

3. týždeň: Posledná prednáška k tímovému projektu, pridelenie tém a preberanie prístupových údajov do softvérového štúdia, prvé stretnutie podľa rozvrhu.

Riešiteľ	Úloha	Termín dokončenia
Jančiga	Analýza SystemC, vytvorenie plánu projektu	27.10.2011
Süll	Analýza Verilog	27.10.2011
Kardoš	Analýza VHDL	27.10.2011
Maron	Analýza existujúcich riešení	27.10.2011
Hyben	Zapisovateľ stretnutia, tvorba web stránky	15.10.2011

4. týždeň: Vytvorenie a spustenie prvej verzie webovej stránky projektu, práca na analýze jazykov VHDL, Verilog a SystemC, ako aj analýza existujúcich podobných riešení. Vytvorenie časového plánu projektu podľa jednotlivých týždňov semestra.

Riešiteľ	Úloha	Termín dokončenia
Hyben	Úprava plánu projektu, analýza XML formátu	27.10.2011
Kardoš	Pokračovanie v analýze, prezretie diplomovej práce	27.10.2011
Maron	Dopracovanie analýzy existujúcich riešení	27.10.2011
Jančiga	Pokračovanie v analýze, prezretie diplomovej práce	27.10.2011
Süll	Pokračovanie v analýze, prezretie diplom. práce, analýza System Verilog	27.10.2011

5. týždeň: Pokračovanie v analýze jazykov a existujúcich riešení. Vypracovanie podrobného časového plánu projektu spolu s rozdelením úloh v rámci tímu.

Riešiteľ	Úloha	Termín dokončenia
Hyben	Analýza XML formátu, IP-XACT, Špecifikácie požiadaviek	27.10.2011
Süll	Opis vizualizácie, simulácie a vizualizáciu simulácie	27.10.2011
Jančiga	Opis spoločných informácií pre vizualizáciu	27.10.2011
Kardoš, Maron	Analýza parserov	27.10.2011

6. týždeň: Ukončenie analýzy jazykov a existujúcich riešení. Zhodnotenie možnosti vizualizácie a simulácie modelov opísaných v jednotlivých jazykoch. Práca na špecifikácii požiadaviek na vytváraný systém a hrubý návrh.

Riešiteľ	Úloha	Termín dokončenia
Hyben	Návrh XML formátu pre vizualizáciu	3.11.2011
Kardoš	Vytvorenie komponentového diagramu hrubého návrhu	3.11.2011
Süll	Analýza vizualizátorov VCD súborov, dokončenie analýzy možnosti vizualizácie pomocou knižníc v C# + výber knižnice	3.11.2011
Jančiga	Hrubý návrh tried na reprezentáciu informácií pre vizualizáciu	3.11.2011
Maron	Implementácia prototypu tried na reprezentáciu informácií pre vizualizáciu	8.11.2011
Süll, Jančiga, Kardoš	Návrh riešenia extrakcie súborov do navrhnutého XML	11.11.2011

7. týždeň: Dokončenie hrubého návrhu. Určenie štandardov kódovania, spôsobu rozdelenia systému do modulov a ich spájania.

Riešiteľ	Úloha	Termín dokončenia
Hyben	Doplnenie XML formátu, príklad XML formátu	11.11.2011
Maron	Implementácia prototypu tried pre reprezentáciu informácií potrebných pre vizualizáciu modelu	11.11.2011
Süll, Jančiga, Kardoš	Dokončenie návrhu riešenia extrakcie súborov do XML, dokončenie návrhu architektúry systému	11.11.2011

8. týždeň: Odovzdanie dokumentácie analýzy problému, špecifikácie požiadaviek riešenia spolu s hrubým návrhom (do 11.11.2011, 14:00).

Riešiteľ	Úloha	Termín dokončenia
Hyben	Vytvorenie posudku práce tímu č.2	18.11.2011
Maron	Implementácia prototypu tried pre reprezentáciu informácii potrebných pre vizualizáciu modelu	15.11.2011
Süll, Jančiga, Kardoš	Implementácia VHDL parsera	15.11.2011

9. týždeň: Vypracovanie posudku k analýze problému, špecifikácie požiadaviek a hrubého návrhu riešenia druhého tímu (do 18.11.2011, 14:00). Začiatok práce na implementácii.

Riešiteľ	Úloha	Termín dokončenia
všetci	Korekcia zistených nedostatkov na základe posudku	24.11.2011
všetci	Implementácia vybraných častí prototypu	24.11.2011

10. týždeň: Dopracovanie zistených nedostatkov, návrh prototypu vybraných častí, implementácia prototypu vybraných častí.

Riešiteľ	Úloha	Termín dokončenia
všetci	Implementácia vybraných častí prototypu	1.12.2011

11. týždeň: Implementácia prototypu vybraných častí.

Riešiteľ	Úloha	Termín dokončenia
všetci	Prezentovanie prototypu	20.12.2011
všetci	Dokončenie implementácie vybraných častí prototypu	12.12.2011
všetci	Vypracovanie posudku prototypu	20.12.2011

12. týždeň: Odovzdanie prototypu vybraných častí systému spolu s dokumentáciou (do 12.12.2011, 14:00), používateľská prezentácia prototypu (12.12.2011 – 20.12.2011, podľa dohody), vypracovanie posudku prototypu iného tímu a jeho odovzdanie (do 20.12.2011, 14:00).

2.2 Letný semester

1. týždeň: Výber termínu pre stretávanie sa tímu

Riešiteľ	Úloha	Termín dokončenia
všetci	Výber termínu stretávania	13.2.2012

2. týždeň: Vytvorenie plánu práce na LS, sprevádzkovanie systému na správu a udržiavanie histórie súborov CVS, identifikácia chýb v prototypu a návrh ich riešenia, rozdelenie ďalších úloh pri implementácii programu

Riešiteľ	Úloha	Termín dokončenia
Hyben	Vytvorenie plánu práce na LS, aktualizácia web stránky, implementácia algoritmu na rozmiestnenie modulov	27.2.2012
Maron	Pokračovanie v implementácii vizualizačnej časti	2.4.2012
Jančiga	Implementácia SystemC rozhrania	2.4.2012
Kardoš, Süll	Dokončenie VHDL a Verilog parserov	5.3.2012

3. týždeň: Dokončenie rozpracovaných VHDL a Verilog parserov, pokračovanie v implementácii ďalších súčastí programu, vypracovanie podrobného návrhu

Riešiteľ	Úloha	Termín dokončenia
všetci	Vypracovanie podrobného návrhu	12.3.2012
Kardoš, Süll	Dokončenie VHDL a Verilog parserov	5.3.2012
Hyben,Maron	Implementácia vizualizačnej časti	2.4.2012
Jančiga	Implementácia SystemC rozhrania	2.4.2012

4. týždeň: Dokončenie podrobného návrhu, pokračovanie v implementácii

Riešiteľ	Úloha	Termín dokončenia
všetci	Dokončenie podrobného návrhu	12.3.2012
Hyben,Maron	Implementácia vizualizačnej časti	2.4.2012
Jančiga	Implementácia SystemC rozhrania	2.4.2012
Kardoš, Süll	Implementácia vybraných častí	2.4.2012

5. týždeň: Pokračovanie v implementácii, pokračovanie v tvorbe dokumentácie

Riešiteľ	Úloha	Termín dokončenia
všetci	Tvorba dokumentácie	10.5.2012
Hyben,Maron	Implementácia vizualizačnej časti	2.4.2012
Jančiga	Implementácia SystemC rozhrania	2.4.2012
Kardoš, Süll	Implementácia vybraných častí	2.4.2012

6. týždeň: Pokračovanie v implementácií, pokračovanie v tvorbe dokumentácie

Riešiteľ	Úloha	Termín dokončenia
všetci	Tvorba dokumentácie	10.5.2012
Hyben,Maron	Implementácia vizualizačnej časti	2.4.2012
Jančiga	Implementácia SystemC rozhrania	2.4.2012
Kardoš, Süll	Implementácia vybraných častí	2.4.2012

7. týždeň: Dokončenie implementácie, pokračovanie v tvorbe dokumentácie

Riešiteľ	Úloha	Termín dokončenia
všetci	Tvorba dokumentácie	10.5.2012
Hyben,Maron	Dokončenie implementácie vizualizačnej časti	2.4.2012
Jančiga	Dokončenie implementácie SystemC rozhrania	2.4.2012
Kardoš, Süll	Dokončenie implementácie vybraných častí	2.4.2012

8. týždeň: Integrácia a overenie implementovaného produktu, tvorba dokumentácie k produktu

Riešiteľ	Úloha	Termín dokončenia
všetci	Integrácia a overenie implementovaného produktu	20.4.2012
všetci	Tvorba dokumentácie k produktu	20.4.2012

9. týždeň: Integrácia a overenie implementovaného produktu, tvorba dokumentácie k produktu

Riešiteľ	Úloha	Termín dokončenia
všetci	Integrácia a overenie implementovaného produktu	20.4.2012
všetci	Tvorba dokumentácie k produktu	20.4.2012

10. týždeň: odovzdanie produktu a dokumentácie k produktu

Riešiteľ	Úloha	Termín dokončenia
všetci	Integrácia a overenie implementovaného produktu	20.4.2012
všetci	Tvorba dokumentácie k produktu	20.4.2012

11. týždeň: Používanie a testovanie výsledného produktu, jeho údržba, dokončenie dokumentácie

Riešiteľ	Úloha	Termín dokončenia
všetci	Používanie a testovanie výsledného produktu	10.5.2012
všetci	Dokončenie dokumentácie	10.5.2012

12. týždeň: Odovzdávanie výsledného produktu spolu s dokumentáciou

Riešiteľ	Úloha	Termín dokončenia
všetci	Používanie a testovanie výsledného produktu	10.5.2012
všetci	dokončenie dokumentácie	10.5.2012

3. Úlohy členov tímu

Martin Hyben

- Vedúci tímu
- Tvorba a aktualizácia webovej stránky
- Analýza a návrh prechodného formátu
- Implementácia vizualizátora

Martin Kardoš

- Náčrt základnej koncepcie systému
- Analýza VHDL, opis parserov
- Vytvorenie komponentového diagramu hrubého návrhu
- Implementácia modulov VHDL2XML a Verilog2XML

Ľubomír Maron

- Analýza existujúcich riešení
- Implementácia prototypu tried, vizualizátora

Zsolt Süll

- Analýza Verilog, analýza vizualizácie, simulácie
- Výber knižnice pre vizualizáciu
- Implementácia modulov VHDL2XML a Verilog2XML

Tomáš Jančiga

- Analýza SystemC
- Vytvorenie plánu projektu
- Opis spoločných informácií pre vizualizáciu
- Implementácia analyzátora XML súboru

4. Zápisnice zo stretnutí

4.1 Zápisnica č. 1

Prítomní: Martin Hyben (zapisovateľ)	Dátum a čas konania: 6.10.2011, 12:00
Tomáš Jančiga	Miesto konania: učebňa D109
Martin Kardoš	Trvanie: 60 minút
Ľubomír Maron	Vedúca tímu: Ing. Katarína Jelemenská
Zsolt Süll	

Téma stretnutia

Úvod, oboznámenie sa s projektom, rozdelenie úloh

Vyhodnotenie úloh z predchádzajúceho stretnutia

Pretože toto bolo prvé stretnutie tímu, neboli pred ním určené žiadne úlohy.

Opis stretnutia

Body stretnutia:

- Úvod stretnutia
- Zvolenie zapisovateľa tímu
- Rozdelenie úloh
- Informovanie sa o webovej stránke
- ukážka vzorového výstupu projektu

Úvod stretnutia

Na začiatku nás privítala vedúca tímového projektu Ing. Katarína Jelemenská. Keďže sa jednalo o prvé stretnutie tímu, vedenia diskusie sa ujala Ing. Katarína Jelemenská. Oboznámila nás so základnými informáciami potrebnými na riešenie tímového projektu.

Zvolenie zapisovateľa tímu

Zvolili sme zapisovateľa, ktorý zapisoval priebeh stretnutia a ktorého úloha je viesť diskusiu na nasledujúcom stretnutí. Odsúhlasili sme, že funkcia zapisovateľa pripadne každý týždeň na iného člena tímu.

Rozdelenie úloh

Rozdelili sme si úlohy pre najbližšie stretnutia. Najprv je potrebné vypracovať plán projektu na 1. semester. Túto úlohu má na starosti Tomáš Jančiga. Naplánovali sme si vytvorenie webového sídla tímového projektu, ktoré vytvorí Martin Hyben. Taktiež vytvorí šablónu pre písanie zápisníc zo stretnutí. Ľubomír Maron sa bude venovať analýze existujúcich riešení. Analýzou jednotlivých opisných jazykov sa budú zaoberať ostatní členovia, konkrétne analýzou VHDL Martin Kardoš, analýzou Verilog Zsolt Süll a analýzou SystemC Tomáš Jančiga.

Informovanie sa o webovej stránke

V ďalšej diskusii sme sa informovali o obsahu webovej stránky tímu. Tá bude obsahovať všetky potrebné súčasti, ako napríklad plán projektu, zápisnice zo stretnutí, poslednú verziu dokumentu, prehľad o dianí na projekte, výsledky projektu, prototyp. Stránka môže slúžiť aj na komunikáciu tímu. Webová stránka má byť umiestnená na školskom serveri určenom pre tento účel. Všetky aktualizácie stránky má na starosti Martin Hyben.

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
1.1	Vytvoriť plán projektu pre 1. semester	Tomáš Jančiga	13.10.2011
1.2	Vytvoriť webovú stránku tímu	Martin Hyben	15.10.2011
1.3	Spísať zápisnicu, vytvoriť šablónu pre zápisnicu	Martin Hyben	13.10.2011
1.4	Analyzovať jednotlivé opisné jazyky	Martin Kardoš Zsolt Süll Tomáš Jančiga	27.10.2011
1.5	Analyzovať existujúce riešenia problému	Ľubomír Maron	27.10.2011

4.2 Zápisnica č. 2

Prítomní: Martin Hyben	Dátum a čas konania: 13.10.2011, 9:00
Tomáš Jančiga	Miesto konania: Softvérové Štúdio
Martin Kardoš	Trvanie: 60 minút
Ľubomír Maron (zapisovateľ)	Vedúca tímu: Ing. Katarína Jelemenská
Zsolt Süll	

Téma stretnutia

Vytvorenie a spustenie prvej verzie webovej stránky projektu, práca na analýze jazykov VHDL, Verilog a SystemC, ako aj analýza existujúcich podobných riešení. Vytvorenie časového plánu projektu podľa jednotlivých týždňov semestra. Vyhodnotenie úloh z predchádzajúceho stretnutia

Opis stretnutia

1. Kontrola zadaných úloh z minulého stretnutia.
2. Prezentácia doteraz vytvorenej práce. Prezentácia dokumentu, ktorý bol vypracovaný od minulého stretnutia.
3. Ukážka novospustenej webovej stránky.
4. Spresnenie zadaných úloh a určenie úloh nových.
5. Pridanie jazyka System Verilog medzi jazyky, ktoré treba analyzovať.
6. Diskusia o možnostiach riešenia analýzy.

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
2.1	Vypracovanie plánu s konkrétnymi úlohami, ktoré budú zadané konkrétnym členom.	Martin Hyben	20.10.2011
2.2	Pokračovanie v analýze jazyka VHDL. Do analýze sa zahrnie aj diplomová práca vypracovaná na fakulte.	Martin Kardoš	27.10.2011
2.3	Pokračovanie v analýze jazyka Verilog. Do analýze sa zahrnie aj diplomová práca vypracovaná na fakulte. Do analýzy tiež pribudne jazyk Systém Verilog.	Zsolt Süll	27.10.2011
2.4	Pokračovanie v analýz jazyka System C. Do analýze sa zahrnie aj diplomová práca vypracovaná na fakulte.	Tomáš Jančiga	27.10.2011
2.5	Dopracovanie analýzy existujúcich riešení	Ľubomír Maron	27.10.2011

4.3 Zápisnica č. 3

Prítomní: Martin Hyben	Dátum a čas konania: 18.10.2011, 9:00
Tomáš Jančiga	Miesto konania: D124
Martin Kardoš	Trvanie: 60 minút
Ľubomír Maron	Vedúca tímu: Ing. Katarína Jelemenská
Zsolt Süll (zapisovateľ)	

Téma stretnutia

Analýze jazykov VHDL, Verilog a SystemC. Možné formáty na uloženie extrahovaných informácií. Možnosti vizualizácie, simulácie a vizualizácie simulácie.

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Popis úlohy	Zodpovedný	Termín splnenia	Stav
2.1	Vypracovanie plánu s konkrétnymi úlohami, ktoré budú zadané konkrétnym členom.	Martin Hyben	20.10.2011	Splnená
2.2	Pokračovanie v analýze jazyka VHDL. Do analýze sa zahrnie aj diplomová práca vypracovaná na fakulte.	Martin Kardoš	27.10.2011	Čiastočne splnená
2.3	Pokračovanie v analýze jazyka Verilog. Do analýze sa zahrnie aj diplomová práca vypracovaná na fakulte. Do analýzy tiež pribudne jazyk Systém Verilog.	Zsolt Süll	27.10.2011	Čiastočne splnená
2.4	Pokračovanie v analýz jazyka System C. Do analýze sa zahrnie	Tomáš Jančiga	27.10.2011	Čiastočne splnená

	aj diplomová práca vypracovaná na fakulte.			
2.5	Dopracovanie analýzy existujúcich riešení	Ľubomír Maron	20.10.2011	Splnená

Opis stretnutia

Body stretnutia:

- Vyhodnotenie úloh z predchádzajúceho stretnutia
- Oboznámenie sa s podrobným časovým plánom
- Diskusia o možných formátoch pre uloženie údajov, ktoré sú potrebné na vizualizáciu, simuláciu a vizualizáciu simulácie (formáty XML).
- Diskusia o existujúcich riešeniach
- Diskusia o možnostiach vizualizácie opisu, simulácie a vizualizácie simulácie.
- Rozdelenie úloh

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
3.1	Dokončiť analýzu opisných jazykov	Martin Kardoš Zsolt Süll Tomáš Jančiga	27.10.2011
3.2	Analyzovať existujúce spôsoby vizualizácie a simulácie, ktoré boli vypracované na fakulte	Martin Kardoš Zsolt Süll Tomáš Jančiga	27.10.2011
3.3	Špecifikácia požiadaviek	Martin Hyben Tomáš Jančiga	27.10.2011
3.4	Analyzovať formáty XML a štandard IP-XACT	Martin Hyben	27.10.2011
3.5	Identifikovať informácie, ktoré sú potrebné pre vizualizáciu a simuláciu	Tomáš Jančiga	27.10.2011
3.6	Analyzovať parsery	Martin Kardoš Ľubomír Maron	27.10.2011
3.7	Analyzovať možnosti vizualizácie extrahovaných informácií	Zsolt Süll	27.10.2011
3.8	Začať pracovať na hrubom návrhu - Vizualizácia extrahovaných informácií	Ľubomír Maron	11.11.2011

4.4 Zápisnica č. 4

Prítomní: Martin Hyben	Dátum a čas konania: 27.10.2011, 9:00
Tomáš Jančiga (zapisovateľ)	Miesto konania: D124
Martin Kardoš	Trvanie: 60 minút
Ľubomír Maron	Vedúca tímu: Ing. Katarína Jelemenská

Téma stretnutia

Ukončenie analýzy jazykov a existujúcich riešení. Zhodnotenie možností vizualizácie a simulácie modelov opísaných v jednotlivých jazykoch. Práca na špecifikácii požiadaviek na vytváraný systém a hrubý návrh.

Vyhodnotenie úloh z predchádzajúceho stretnutia:

Číslo úlohy	Popis úlohy	Pridelenie	Stav
3.1	Dokončiť analýzu opisných jazykov	Martin Kardoš Zsolt Süll Tomáš Jančiga	splnená
3.2	Analyzovať existujúce spôsoby vizualizácie a simulácie, ktoré boli vypracované na fakulte	Martin Kardoš Zsolt Süll Tomáš Jančiga	splnená
3.3	Špecifikácia požiadaviek	Martin Hyben Tomáš Jančiga	čiastočne splnená
3.4	Analyzovať formáty XML a štandard IP-XACT	Martin Hyben	splnená
3.5	Identifikovať informácie, ktoré sú potrebné pre vizualizáciu a simuláciu	Tomáš Jančiga	čiastočne splnená
3.6	Analyzovať parsery	Martin Kardoš Ľubomír Maron	splnená
3.7	Analyzovať možnosti vizualizácie extrahovaných informácií	Zsolt Süll	čiastočne splnená
3.8	Začať pracovať na hrubom návrhu - Vizualizácia extrahovaných informácií	Ľubomír Maron	čiastočne splnená

Opis stretnutia

Body stretnutia:

- Vyhodnotenie úloh z predchádzajúceho stretnutia, prezentácia výsledkov časti analýza
- Určenie formátu výstupu simulácie modelov
- Diskusia o spôsobe vizualizácie výsledkov simulácie modelu. Diskutované boli dva spôsoby, a to vizualizácia priebehov signálov v závislosti od času a vizualizácia hodnôt na jednotlivých portoch v konkrétnom čase.
- Diskusia ohľadom hrubého návrhu a rozdelení úloh týkajúcich sa hrubého návrhu.

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
4.1	Návrh formátu XML súboru s extrahovanými informáciami pre vizualizáciu modelu.	Martin Hyben	3.11.2011
4.2	Komponentový diagram hrubého návrhu.	Martin Kardoš	3.11.2011
4.3	Analýza vizualizátorov VCD súborov.	Zsolt Süll	3.11.2011
4.4	Hrubý návrh tried pre reprezentáciu informácií potrebných pre vizualizáciu modelu.	Tomáš Jančiga	3.11.2011
4.5	Práca na implementácii prototypu tried pre reprezentáciu informácií potrebných pre vizualizáciu modelu.	Ľubomír Maron	8.11.2011
4.6	Dokončenie analýzy možností vizualizácie extrahovaných informácií pomocou grafických knižníc pre jazyk C# a výber najvhodnejšej z nich.	Zsolt Süll	3.11.2011
4.7	Návrh riešenia extrakcie súborov do navrhnutého formátu XML súboru.	Tomáš Jančiga Martin Kardoš Zsolt Süll	11.11.2011

4.5 Zápisnica č. 5

Prítomní: Martin Hyben Tomáš Jančiga Martin Kardoš Ľubomír Maron Zsolt Süll (zapisovateľ)	Dátum a čas konania: 3.11.2011, 9:00 Miesto konania: D124 Trvanie: 60 minút Vedúca tímu: Ing. Katarína Jelemenská
---	--

Téma stretnutia

Formát XML súboru, architektúra systému, hrubý návrh, prototyp.

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Popis úlohy	Zodpovedný	Termín splnenia	Stav
4.1	Návrh formátu XML súboru s extrahovanými informáciami pre vizualizáciu modelu.	Martin Hyben	3.11.2011	Splnená
4.2	Komponentový diagram hrubého návrhu.	Martin Kardoš	3.11.2011	Čiastočne splnená
4.3	Analýza vizualizátorov VCD súborov	Zsolt Süll	3.11.2011	Splnená
4.4	Hrubý návrh tried pre reprezentáciu informácií potrebných pre vizualizáciu modelu.	Tomáš Jančiga	3.11.2011	Splnená
4.5	Práca na implementácii prototypu	Ľubomír	8.11.2011	Čiastočne

	tried pre reprezentáciu informácií potrebných pre vizualizáciu modelu.	Maron		splnená
4.6	Dokončenie analýzy možností vizualizácie extrahovaných informácií pomocou grafických knižníc pre jazyk C# a výber najvhodnejšej z nich	Zsolt Süll	3.11.2011	Splnená
4.7	Návrh riešenia extrakcie súborov do navrhnutého formátu XML súboru	Tomáš Jančiga Martin Kardoš Zsolt Süll	11.11.2011	Čiastočne splnená

Opis stretnutia

Body stretnutia:

- Vyhodnotenie úloh z predchádzajúceho stretnutia
- Diskusia a o navrhnutom formáte XML súboru, definovanie ďalších údajov, ktoré súbor bude obsahovať
- Diskusia o architektúre systému
- Diskusia o prototypu – ktoré časti systému budeme implementovať
- Rozdelenie úloh

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
5.1	Do návrhu formátu XML súboru doplniť ďalšie potrebné údaje a vytvoriť príklad XML súboru	Martin Hyben	11.11.2011
5.2	Práca na implementácii prototypu tried pre reprezentáciu informácií potrebných pre vizualizáciu modelu.	Ľubomír Maron	11.11.2011
5.3	Dokončiť návrh riešenia extrakcie súborov do navrhnutého formátu XML súboru	Martin Kardoš Zsolt Süll Tomáš Jančiga	11.11.2011
5.4	Dokončiť návrh architektúry systému	Martin Kardoš Zsolt Süll Tomáš Jančiga	11.11.2011

4.6 Zápisnica č. 6

Prítomní: Martin Hyben Tomáš Jančiga Martin Kardoš (zapisovateľ) Ľubomír Maron Zsolt Süll	Dátum a čas konania: 10.11.2011, 9:00 Miesto konania: Softvérové Štúdio Trvanie: 60 minút Vedúca tímu: Ing. Katarína Jelemenská
---	--

Téma stretnutia

Implementácia prototypu, posudok.

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Popis úlohy	Zodpovedný	Termín splnenia	Stav
5.1	Do návrhu formátu XML súboru doplniť ďalšie potrebné údaje a vytvoriť príklad XML súboru.	Martin Hyben	3.11.2011	Splnená
5.2	Práca na implementácii prototypu tried pre reprezentáciu informácií potrebných pre vizualizáciu modelu.	Ľubomír Maron	11.11.2011	Splnená
5.3	Dokončiť návrh riešenia extrakcie súborov do navrhnutého XML súboru.	Martin Kardoš Zsolt Süll Tomáš Jančiga	11.11.2011	Splnená
5.4	Dokončiť návrh architektúry systému.	Martin Kardoš Zsolt Süll Tomáš Jančiga	11.11.2011	Splnená

Opis stretnutia

Body stretnutia:

- Vyhodnotenie úloh z predchádzajúceho stretnutia.
- Diskusia o rozdelení častí systému do funkčných celkov.
- Diskusia o začiatku implementácie prototypu.
- Diskusia o vyhodnení posudku.
- Rozdelenie úloh.

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
6.1	Vypracovanie posudku pridelenému tímu.	Martin Hyben	18.11.2011
6.2	Implementácia modulov VHDL2XML a Verilog2XML.	Martin Kardoš Zsolt Süll	24.11.2011
6.3	Implementácia reprezentácie objektov.	Ľubomír Maron	24.11.2011
6.4	Implementácia analyzátora XML súboru a vytváranie reprezentácie objektov.	Tomáš Jančiga	24.11.2011

4.7 Zápisnica č. 7

Prítomní: Martin Hyben (zapisovateľ)	Dátum a čas konania: 15.11.2011, 9:00
Tomáš Jančiga	Miesto konania: D124
Martin Kardoš	Trvanie: 40 minút
Ľubomír Maron	Vedúca tímu: Ing. Katarína Jelemenská
Zsolt Süll	

Téma stretnutia

Pokračovanie v implementácií prototypu, úprava XML formátu

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Popis úlohy	Pridelenie	Stav
6.1	Vypracovanie posudku pridelenému tímu.	Martin Hyben	Rozpracovaná
6.2	Implementácia modulov VHDL2XML a Verilog2XML.	Martin Kardoš Zsolt Süll	Rozpracovaná
6.3	Implementácia reprezentácie objektov.	Ľubomír Maron	Rozpracovaná
6.4	Implementácia analyzátora XML súboru a vytváranie reprezentácie objektov.	Tomáš Jančiga	Rozpracovaná

Opis stretnutia

Body stretnutia:

- Vyhodnotenie úloh z predchádzajúceho stretnutia
- Diskusia o prototypu – pokračovanie v implementácií
- Diskusia a zmenách v navrhnutom formáte XML súboru, potreba vytvoriť testovací XML súbor
- Rozdelenie úloh

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
7.1	Dokončenie posudku pridelenému tímu	Martin Hyben	18.11.2011
7.2	Úprava XML formátu a vytvorenie testovacieho XML súboru	Martin Hyben	18.11.2011
7.3	Pokračovanie v implementácii modulov VHDL2XML a Verilog2XML	Martin Kardoš Zsolt Süll	24.11.2011
7.4	Pokračovanie v implementácii reprezentácie objektov	Ľubomír Maron	24.11.2011
7.5	Pokračovanie implementácie analyzátora XML súboru a vytváranie reprezentácie objektov	Tomáš Jančiga	24.11.2011

4.8 Zápisnica č. 8

Prítomní: Martin Hyben	Dátum a čas konania: 24.11.2011, 9:00
Tomáš Jančiga	Miesto konania: D124
Martin Kardoš	Trvanie: 60 minút
Ľubomír Maron (zapisovateľ)	Vedúca tímu: Ing. Katarína Jelemenská
Zsolt Süll	

Téma stretnutia

Prezentácia prvých implementačných prototypov .Vyhodnotenie úloh z predchádzajúceho stretnutia. Diskusia o prepojení prototypov parsovania pre jazyky VHDL a Verilog.

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Popis úlohy	Pridelenie	Stav
7.1	Dokončenie posudku pridelenému tímu	Martin Hyben	Splnená
7.2	Úprava XML formátu a vytvorenie testovacieho XML súboru	Martin Hyben	Rozpracovaná
7.3	Pokračovanie v implementácii modulov VHDL2XML a Verilog2XML	Martin Kardoš Zsolt Süll	Rozpracovaná

7.4	Pokračovanie v implementácii reprezentácie objektov	Ľubomír Maron	Rozpracovaná
7.5	Pokračovanie implementácie analyzátoru XML súboru a vytváranie reprezentácie objektov	Tomáš Jančíga	Rozpracovaná

Opis stretnutia

- Kontrola zadaných úloh z minulého stretnutia.
- Prezentácia doteraz vytvorenej práce.
- Ukážky prototypov.
- Diskusia o ďalšom postupe. Príprava na spojenie prototypov parsovania pre jazyk VHDL a Verilog.

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
8.1	Vytvoriť testovací súbor. Doplnenie stromu štruktúry XML formátu.	Martin Hyben	1.12.2011
8.2	Dokončiť úprava .xhdl súboru. Spustenie simulácie GTKwave	Martin Kardoš	1.12.2011
8.3	Dokončenie parsovanie pre jazyk Verilog, spojenie s VHDL parsovaním.	Zsolt Süll	1.12.2011
8.4	Dokončenie parsovanie XML do objektov programu.	Tomáš Jančíga	1.12.2011
8.5	Spustenie vizualizácie objektov.	Ľubomír Maron	1.12.2011

4.9 Zápisnica č. 9

Prítomní: Martin Hyben	Dátum a čas konania: 1.12.2011, 9:00
Tomáš Jančíga (zapisovateľ)	Miesto konania: D124
Martin Kardoš	Trvanie: 60 minút
Ľubomír Maron	Vedúca tímu: Ing. Katarína Jelemenská
Zsolt Süll	

Téma stretnutia

Implementácia prototypu.

Vyhodnotenie úloh z predchádzajúceho stretnutia:

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia	Stav
8.1	Vytvoriť testovací súbor. Doplnenie stromu štruktúry XML formátu.	Martin Hyben	1.12.2011	Splnená
8.2	Dokončiť úpravu .xhdl súboru. Spustenie simulácie GTKwave	Martin Kardoš	1.12.2011	Čiastočne splnená
8.3	Dokončenie parsovanie pre jazyk Verilog, spojenie s VHDL parsovaním.	Zsolt Süll	1.12.2011	Čiastočne splnená
8.4	Dokončenie parsovania XML do objektov programu.	Tomáš Jančiga	1.12.2011	Splnená
8.5	Spustenie vizualizácie objektov.	Ľubomír Maron	1.12.2011	Splnená

Opis stretnutia

Body stretnutia:

- Vyhodnotenie aktuálneho stavu implementácie prototypu
- Identifikácia problémov
- Riešenie problémov
- rozdelenie úloh na ďalší týždeň

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
9.1	Dokončenie implementácie parsovania jazykov do navrhnutého XML formátu a spojenie kódov pre parsovanie VHDL a Verilogu do jedného projektu.	Martin Kardoš, Zsolt Süll	8.11.2011
9.2	Vytvorenie scenárov testovania pre parser navrhnutého XML formátu, jeho otestovanie a zdokumentovanie testovania.	Martin Hyben	8.11.2011
9.3	Dokončenie práce na grafickej podobe objektov a pokus o ich rozmiestnenie a prepojenie.	Ľubomír Maron	8.11.2011
9.4	Doplnenie dokumentácie o ciele a výsledky prototypovania. Začiatok analyzovania spôsobu úpravy knižnice SystemC .	Tomáš Jančiga	8.11.2011

4.10 Zápisnica č. 10

Prítomní: Martin Hyben Tomáš Jančiga Martin Kardoš (zapisovateľ) Ľubomír Maron Zsolt Süll	Dátum a čas konania: 8.12.2011, 9:00 Miesto konania: D124 Trvanie: 60 minút Vedúca tímu: Ing. Katarína Jelemenská
---	--

Téma stretnutia

Implementácia prototypu.

Vyhodnotenie úloh z predchádzajúceho stretnutia:

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia	Stav
9.1	Dokončenie implementácie parsovania jazykov do navrhnutého XML formátu a spojenie kódov pre parsovanie VHDL a Verilogu do jedného projektu.	Martin Kardoš, Zsolt Süll	8.12.2011	Splnená
9.2	Vytvorenie scenárov testovania pre parser navrhnutého XML formátu, jeho otestovanie a zdokumentovanie testovania.	Martin Hyben	8.12.2011	Splnená
9.3	Dokončenie práce na grafickej podobe objektov a pokus o ich rozmiestnenie a prepojenie.	Ľubomír Maron	8.12.2011	Splnená
9.4	Doplnenie dokumentácie o ciele a výsledky prototypovania. Začiatok analyzovania spôsobu úpravy knižnice SystemC .	Tomáš Jančiga	8.12.2011	Splnená

Opis stretnutia

Body stretnutia:

- Vyhodnotenie aktuálneho stavu implementácie prototypu.
- Identifikácia problémov.
- Riešenie problémov.
- Rozdelenie úloh na ďalší týždeň.

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
10.1	Spojenie modulov prototypu.	Martin Kardoš, Zsolt Süll, Ľubomír Maron, Tomáš Jančiga	12.12.2011
10.2	Testovanie prototypu a doplnenie dokumentácie o testovanie.	Martin Hyben	12.12.2011
10.3	Pokračovanie v analýze spôsobu úpravy knižnice SystemC .	Tomáš Jančiga	12.12.2011

4.11 Zápisnica č. 11

Prítomní: Martin Hyben (zapisovateľ)
Tomáš Jančiga
Martin Kardoš
Ľubomír Maron
Zsolt Süll

Dátum a čas konania: 20.2.2012, 16:00
Miesto konania: D124
Trvanie: 40 minút
Vedúca tímu: Ing. Katarína Jelemenská

Téma stretnutia

Vypracovanie plánu práce na letný semester, zhodnotenie činnosti v zimnom semestri a v období medzi semestrami, rozdelenie ďalších úloh

Vyhodnotenie úloh z predchádzajúceho stretnutia

Nakoľko toto stretnutie bolo prvé v letnom semestri, neboli stanovené žiadne úlohy, ktoré by sme mohli vyhodnotiť.

Opis stretnutia

Body stretnutia:

- Vyhodnotenie zimného semestra, pripomenutie si rozpracovaných úloh
- Identifikácia chýb v prototypu a návrh ich riešenia
- Rozdelenie úloh do ďalších stretnutí
- Diskusia týkajúca sa nasledujúceho postupu pri implementácii
- Zostavenie plánu práce na letný semester
- Sfunkčnenie systému na správu a udržiavanie histórie súborov CVS

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
11.1	Vytvorenie plánu na LS, aktualizácia web stránky, implementácia algoritmu rozloženia modulov	Martin Hyben	27.2.2012
11.2	Pokračovanie v implementácii vizualizačnej časti	Ľubomír Maron	2.4.2012
11.3	Implementácia SystemC rozhrania	Tomáš Jančiga	2.4.2012
11.4	Dokončenie VHDL a Verilog parserov	Martin Kardoš Zsolt Süll	5.3.2012

4.12 Zápisnica č. 12

Prítomní: Martin Kardoš (zapisovateľ)
Tomáš Jančiga
Ľubomír Maron
Zsolt Süll

Dátum a čas konania: 27. 2.2012, 16:00
Miesto konania: D124
Trvanie: 60 minút
Vedúca tímu: Ing. Katarína Jelemenská

Téma stretnutia

Vyhodnotenie úloh z predchádzajúceho stretnutia, systém CVS, chyby v prototypu, identifikácia ďalších úloh.

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia	Stav
11.1	Vytvorenie plánu na LS, aktualizácia web stránky, implementácia algoritmu rozloženia modulov	Martin Hyben	27.2.2012	Splnená
11.2	Pokračovanie v implementácii vizualizačnej časti	Ľubomír Maron	2.4.2012	Čiastočne splnená
11.3	Implementácia SystemC rozhrania	Tomáš Jančiga	2.4.2012	Čiastočne splnená
11.4	Dokončenie VHDL a Verilog parserov	Martin Kardoš Zsolt Süll	5.3.2012	Čiastočne splnená

Opis stretnutia

Body stretnutia:

- Vyhodnotenie úloh z predchádzajúceho stretnutia
- Riešenie problémov týkajúce sa systému CVS
- Diskusia týkajúca sa nasledujúceho postupu pri implementácii
- Rozdelenie úloh do ďalších stretnutí

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
12.1	Implementácia algoritmu rozmiestnenia modulov	Martin Hyben	5.3.2012
12.2	Hierarchická vizualizácia modelov	Ľubomír Maron	5.3.2012
12.3	Identifikácia tried v jazyku SystemC	Tomáš Jančiga	5.3.2012
12.4	Dokončenie VHDL a Verilog parserov	Martin Kardoš Zsolt Süll	5.3.2012

4.13 Zápisnica č. 13

Prítomní: Martin Hyben (zapisovateľ)
Tomáš Jančiga
Martin Kardoš
Ľubomír Maron
Zsolt Süll

Dátum a čas konania: 5.3.2012, 16:00
Miesto konania: Vestibul blok D
Trvanie: 30 minút
Vedúca tímu: Ing. Katarína Jelemenská

Téma stretnutia

Vyhodnotenie úloh z predchádzajúceho stretnutia, identifikácia ďalších úloh, diskusia.

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia	Stav
12.1	Implementácia algoritmu rozmiestnenia modulov	Martin Hyben	5.3.2012	Čiastočne splnená
12.2	Hierarchická vizualizácia modelov	Ľubomír Maron	5.3.2012	Splnená
12.3	Návrh modifikácie knižnice SystemC	Tomáš Jančiga	5.3.2012	Splnená
12.4	Dokončenie VHDL a Verilog parserov	Martin Kardoš Zsolt Süll	5.3.2012	Splnená

Opis stretnutia

Body stretnutia:

- Vyhodnotenie úloh z predchádzajúceho stretnutia
- Rozdelenie úloh do ďalších stretnutí
- Diskusia

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
13.1	Dokončenie implementácie algoritmu rozmiestnenia modulov	Martin Hyben	12.3.2012
13.2	Dokončenie implementácie vizualizačnej časti	Ľubomír Maron	2.4.2012
13.3	Implementácia modifikácie SystemC	Tomáš Jančiga	19.3.2012
13.4	Analýza implementácie vizualizačnej časti	Martin Kardoš Zsolt Süll	12.3.2012

4.14 Zápisnica č. 14

Prítomní: Zsolt Süll (zapisovateľ)
Martin Hyben
Martin Kardoš
Tomáš Jančiga
Ľubomír Maron

Dátum a čas konania: 12.3.2012, 16:00
Miesto konania: D 124
Trvanie: 60 minút
Vedúca tímu: Ing. Katarína Jelemenská

Téma stretnutia

Vyhodnotenie úloh z predchádzajúceho stretnutia, identifikácia ďalších úloh, diskusia.

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia	Stav
13.1	Dokončenie implementácie algoritmu rozmiestnenia modulov	Martin Hyben	12.3.2012	Splnená
13.2	Dokončenie implementácie vizualizačnej časti	Ľubomír Maron	2.4.2012	Čiastočne splnená
13.3	Implementácia modifikácie SystemC	Tomáš Jančiga	19.3.2012	Čiastočne splnená
13.4	Analýza implementácie vizualizačnej časti	Martin Kardoš Zsolt Süll	12.3.2012	Splnená

Opis stretnutia

Body stretnutia:

- Vyhodnotenie úloh z predchádzajúceho stretnutia
- Diskusia týkajúca sa modifikácie SystemC
- Diskusia o možnostiach rozmiestnenie modulov a signálov
- Diskusia týkajúca sa simulácie VHDL a Verilog
- Rozdelenie úloh do ďalších stretnutí

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
14.1	Implementácia algoritmu rozmiestnenia signálov	Martin Hyben	26.3.2012
14.2	Dokončenie implementácie vizualizačnej časti	Ľubomír Maron	2.4.2012
14.3	Implementácia modifikácie SystemC	Tomáš Jančiga	19.3.2012
14.4	Implementácia simulácie pre VHDL	Martin Kardoš	19.3.2012
14.5	Implementácia simulácie pre Verilog	Zsolt Süll	19.3.2012

4.15 Zápisnica č. 15

Prítomní: Ľubomír Maron (zapisovateľ)
Zsolt Süll
Martin Kardoš

Dátum a čas konania: 19.3.2012, 16:00
Miesto konania: Vestibul blok D
Trvanie: 60 minút
Vedúca tímu: Ing. Katarína Jelemenská

Téma stretnutia

Vyhodnotenie úloh z predchádzajúceho stretnutia, identifikácia ďalších úloh, diskusia.

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Popis úlohy	Pridelenie	Stav	Termín splnenia
15.1	Dokončenie implementácie vizualizačnej časti	Ľubomír Maron	čiastočne splnená	2.4.2012
15.2	Implementácia simulácie pre Verilog	Zsolt Süll	Splnená	19.3.2012
15.3	Implementácia simulácie pre VHDL	Martin Kardoš	Splnená	19.3.2012

Opis stretnutia

Body stretnutia :

- Vyhodnotenie úloh z predchádzajúceho stretnutia
- Diskusia o implementácii testbenchu pre jazyky Verilog a VHDL.
- Diskusia o kontrole a ovládaní v display-u
- Rozdelenie úloh na ďalšie stretnutia

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
16.1	Dokončenie implementácie vizualizačnej časti	Ľubomír Maron	2.4.2012
16.2	Implementovanie generátora testbenchu pre VHDL	Martin Kardoš	26.3.2012
16.3	Implementovanie generátora testbenchu pre Verilog	Zsolt Süll	26.3.2012

4.16 Zápisnica č. 16

Prítomní: Tomáš Jančíga (zapisovateľ)
Martin Hyben
Martin Kardoš
Ľubomír Maron

Dátum a čas konania: 26.3.2012, 16:00
Miesto konania: D 124
Trvanie: 60 minút
Vedúca tímu: Ing. Katarína Jelemenská

Téma stretnutia

Vyhodnotenie úloh z predchádzajúceho stretnutia, definovanie týchto dôležitých úloh, ktoré je potrebné rozdeliť členom tímu a splniť do odovzdania projektu:

1. Spojenie dvoch čiar signálu pomocou bodky.
2. Medziúrovňové signály, ktoré nie sú definované je potrebné generovať s prázdnyimi atribútmi.
3. Implementácia prechádzania úrovňami dvojklikom.
4. Vytvorenie prvku TreeView pre navigáciu medzi úrovňami.
5. Implementácia presúvania grafických objektov vizualizovaného modelu.
6. Vyriešenie podoby pracovnej plochy.
7. V grafickej reprezentácii je potrebné zobrazovať aj všetky atribúty jednotlivých objektov, plus vytvorenie options pre vypnutie a zapnutie zobrazenia jednotlivých atribútov.
8. Simulácia externého testbenchu.
9. Výpis niektorých VHDL zdrojových súborov. (pravdepodobne s iným kódovaním)
10. Vypisovanie objektov do XML.
11. Vizualizácia simulácie.
12. Časové pečiatky, prípadne hashovanie súborov.
13. Pridávanie poznámok do vizualizovaného modelu.

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Popis úlohy	Pridelenie	Stav	Termín splnenia
16.1	Dokončenie implementácie vizualizačnej časti	Ľubomír Maron	čiastočne splnená	2.4.2012
16.2	Implementovanie generátora testbenchu pre VHDL	Martin Kardoš	Splnená	26.3.2012
16.3	Implementovanie generátora testbenchu pre Verilog	Zsolt Süll	Splnená	26.3.2012

Opis stretnutia

Body stretnutia :

- Vyhodnotenie úloh z predchádzajúceho stretnutia
- Diskusia o ďalších úlohách.
- Vytvorenie zoznamu úloh.
- Diskusia o postupe pri implementácii jednotlivých úloh.

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
17.1	Identifikované úlohy 1, 3, 4, 5, 6	Ľubomír Maron	20.4.2012
17.2	Implementovanie generátora testbenchu pre VHDL	Martin Kardoš	2.4.2012
17.3	Implementovanie generátora testbenchu pre Verilog	Zsolt Süll	2.4.2012
17.4	Integrácia upravenej SystemC knižnice do hlavného projektu.	Tomáš Jančiga	2.4.2012
17.5	Dokončenie algoritmu pre vytváranie prepojení medzi portami modulov (signály).	Martin Hyben	2.4.2012

4.17 Zápisnica č. 17

Prítomní: Martin Hyben (zapisovateľ)
Tomáš Jančiga
Martin Kardoš
Ľubomír Maron
Zsolt Süll

Dátum a čas konania: 2.4.2012, 16:00
Miesto konania: D 124
Trvanie: 60 minút
Vedúca tímu: Ing. Katarína Jelemenská

Téma stretnutia

Vyhodnotenie úloh z predchádzajúceho stretnutia, identifikácia ďalších úloh, diskusia.

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Popis úlohy	Pridelenie	Stav	Termín splnenia
17.1	Identifikované úlohy 1, 3, 4, 5, 6	Ľubomír Maron	čiastočne splnená	20.4.2012
17.2	Implementovanie generátora testbenchu pre VHDL	Martin Kardoš	Splnená	2.4.2012
17.3	Implementovanie generátora testbenchu pre Verilog	Zsolt Süll	Splnená	2.4.2012
17.4	Integrácia upravenej SystemC knižnice do hlavného projektu.	Tomáš Jančiga	čiastočne splnená	2.4.2012
17.5	Dokončenie algoritmu pre vytváranie prepojení medzi portami modulov (signály).	Martin Hyben	čiastočne splnená	2.4.2012

Opis stretnutia

Body stretnutia :

- Vyhodnotenie úloh z predchádzajúceho stretnutia
- Diskusia o ďalších úlohách.
- Vytvorenie zoznamu úloh.
- Diskusia o postupe pri implementácii jednotlivých úloh.

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
18.1	Dolaďovanie implementácie vizualizačnej časti	Ľubomír Maron	20.4.2012
18.2	Doladenie generátora testbench pre VHDL, implementácia parsera VCD súborov generovaných z VHDL	Martin Kardoš	12.4.2012
18.3	Vizualizácia simulácie, extrakcia dát z VCD	Zsolt Süll	12.4.2012
18.4	Integrácia upravenej SystemC knižnice do hlavného projektu	Tomáš Jančiga	12.4.2012
18.5	Dokončenie algoritmu pre rozmiestnenie modulov a signálov a jeho zdokumentovanie	Martin Hyben	12.4.2012

4.18 Zápisnica č. 18

Prítomní: Zsolt Süll (zapisovateľ)
Tomáš Jančiga
Martin Hyben

Dátum a čas konania: 12.4.2012, 16:00
Miesto konania: D 124
Trvanie: 60 minút
Vedúca tímu: Ing. Katarína Jelemenská

Téma stretnutia

Vyhodnotenie úloh z predchádzajúceho stretnutia, identifikácia ďalších úloh, diskusia.

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Popis úlohy	Pridelenie	Stav	Termín splnenia
18.1	Dolaďovanie implementácie vizualizačnej časti	Ľubomír Maron	Čiastočne splnený	20.4.2012
18.2	Doladenie generátora testbench pre VHDL, implementácia parsera VCD súborov generovaných z VHDL	Martin Kardoš	Čiastočne splnený	12.4.2012
18.3	Vizualizácia simulácie, extrakcia dát z VCD	Zsolt Süll	Čiastočne splnený	12.4.2012
18.4	Integrácia upravenej SystemC knižnice do hlavného projektu	Tomáš Jančiga	Čiastočne splnený	12.4.2012
18.5	Dokončenie algoritmu pre rozmiestnenie modulov a signálov a jeho zdokumentovanie	Martin Hyben	Čiastočne splnený	12.4.2012

Opis stretnutia

Body stretnutia :

- Vyhodnotenie úloh z predchádzajúceho stretnutia
- Diskusia o ďalších úlohách.
- Vytvorenie zoznamu úloh.
- Diskusia o postupe pri implementácii jednotlivých úloh.

Úlohy na ďalšie stretnutie

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
19.1	Dolaďovanie implementácie vizualizačnej časti	Ľubomír Maron	20.4.2012
19.2	Implementácia parsera VCD súborov generovaných z GHDL	Martin Kardoš	16.4.2012
19.3	Vytvorenie nového grafického rozhrania	Zsolt Süll	16.4.2012
19.4	Implementácia metód pre vypisovanie objektov do XHDL súboru zo SystemC	Tomáš Jančiga	16.4.2012
19.5	Dokončenie algoritmu pre rozmiestnenie modulov a signálov a jeho zdokumentovanie	Martin Hyben	16.4.2012

4.19 Zápisnica č. 19

Prítomní: Martin Hyben (zapisovateľ)
Tomáš Jančiga
Martin Kardoš
Ľubomír Maron
Zsolt Süll

Dátum a čas konania: 16.4.2012, 16:00
Miesto konania: D 113
Trvanie: 60 minút
Vedúca tímu: Ing. Katarína Jelemenská

Téma stretnutia

Vyhodnotenie úloh z predchádzajúceho stretnutia, identifikácia ďalších úloh potrebných pre dokončenie zadania, diskusia.

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Popis úlohy	Pridelenie	Stav	Termín splnenia
19.1	Dolaďovanie implementácie vizualizačnej časti	Ľubomír Maron	Čiastočne splnený	20.4.2012
19.2	Implementácia parsera VCD súborov generovaných z GHDL	Martin Kardoš	Čiastočne splnený	16.4.2012
19.3	Vytvorenie nového grafického rozhrania	Zsolt Süll	Splnený	16.4.2012
19.4	Implementácia metód pre vypisovanie objektov do XHDL súboru zo SystemC	Tomáš Jančiga	Čiastočne splnený	16.4.2012
19.5	Dokončenie algoritmu pre rozmiestnenie modulov a signálov a jeho zdokumentovanie	Martin Hyben	Čiastočne splnený	16.4.2012

Opis stretnutia

Body stretnutia :

- Vyhodnotenie úloh z predchádzajúceho stretnutia
- identifikovanie úloh, ktoré je potrebné dopracovať do termínu odovzdania
- Vytvorenie a rozdelenie zoznamu úloh
- Diskusia o postupe doladovania aplikácie, písania dokumentácie a o spôsobe odovzdania

Úlohy na ďalšie stretnutie

Nakoľko je prvé odovzdávanie naplánované v termíne skoršom ako je nasledujúce stretnutie, nasledovné úlohy je potrebné splniť do termínu odovzdávania.

Číslo úlohy	Popis úlohy	Pridelenie	Termín splnenia
19.1	Doladovanie implementácie vizualizačnej časti, písanie dokumentácie	Ľubomír Maron	20.4.2012
19.2	Dokončenie implementácie parsera VCD súborov generovaných z GHDL, písanie dokumentácie	Martin Kardoš	20.4.2012
19.3	Doladenie nového grafického rozhrania, úprava Verilog parsera, písanie dokumentácie	Zsolt Süll	20.4.2012
19.4	Dokončenie parsera SystemC, dokončenie metód pre vypisovanie objektov do XML súboru, písanie dokumentácie	Tomáš Jančiga	20.4.2012
19.5	Doladenie algoritmu pre rozmiestnenie modulov a signálov, písanie dokumentácie	Martin Hyben	20.4.2012

5. Posudky

5.1 Posudok prototypu tímu č. 2

Tento dokument obsahuje posudok pre tím č. 2, ktorý sa týka prototypu a aktualizácií dokumentácie o časť prototypovania. Názov témy, ktorou sa na predmete Tímový projekt tento tím zaoberá, je „Vizualizácia modelov digitálnych systémov“. Táto téma je riešená tímom č. 2 pod vedením Ing. Dominika Macka.

Posudok je členený na hodnotenie nových častí dokumentácie projektu, ale aj riadenia, a na hodnotenie samotného prototypu.

Hodnotenie dokumentácie

Hodnotenie dokumentácie sa týka obsahu dokumentácie projektu, dokumentácie riadenia a používateľskej príručky. Po formálnej stránke nemáme k priloženým dokumentáciám žiadne pripomienky.

Dokumentácia projektu

Dokumentácia projektu obsahuje iba štyri riadky, ktoré veľmi stručne hovoria o tom, ako bol prototyp implementovaný. Táto kapitola mohla byť rozpísaná podrobnejšie, pričom vhodné by bolo spomenúť ciele prototypovania a dosiahnuté výsledky, tak ako to stanovuje predpísaný obsah projektovej dokumentácie (dostupné na <http://www2.fiit.stuba.sk/~jhudec/tp/obsah.html>).

Dokumentácia riadenia

Dokumentácia riadenia bola doplnená o nové zápisy zo stretnutí. K tejto dokumentácii nemáme pripomienky, prehľadne informuje o tom, ako práca v tíme napredovala.

Používateľská príručka

Ako bolo spomenuté v dokumentácii k projektu, používateľská príručka bola prevzatá od Ing. Dominika Macka. Túto príručku by bolo vhodné aktualizovať, napríklad už neexistuje položka v menu „Open VHDL“, ale „Open File“.

Hodnotenie prototypu

Hlavnou časťou hodnotenia je hodnotenie samotnej implementácie prototypu. Mali sme možnosť aplikáciu otestovať, ale tiež bola aj prezentovaná, takže sme mohli zhodnotiť nielen dosiahnutú funkčnosť, ale aj úsilie vynaložené pri implementácii.

Aplikácia nám bola dodaná v archíve ZIP, ktorý stačilo iba rozbaľiť. Aplikácia nevyžaduje inštaláciu, čo hodnotíme pozitívne, vzhľadom na možnosť jednoduchej úpravy. Grafické používateľské rozhranie je prehľadné a logicky členené. Ovládanie je intuitívne. Po spustení je možné otvoriť VHDL alebo Verilog súbor, ktorý bude následne parsovaný do XML formátu. Na otestovanie sme použili priložené testovacie VHDL súbory, ktoré fungovali bezchybne. Potom sme testovali ďalšie testovacie súbory, ktoré boli obsiahnuté v práci Ing. Dominika Macka. Fungoval iba jeden z dvoch VHDL súborov. Testovali sme aj Verilog parser, ale neúspešne, nakoľko v dokumentácii bolo spomenuté, že tento parser ešte nie je

dokončený. Zobrazovanie jednotlivých modulov fungovalo podľa hierarchických úrovní, taktiež fungovalo zoomovanie a premiestňovanie modulov.

Ako bolo prezentované, prototyp vychádza z práce Ing. Dominika Macka, a je doplnený o parsovanie jazyka Verilog. Celkový prínos tohto prototypu oproti verzii Ing. Dominika Macka je podľa nás malý. Nie je predmetom posudzovania skúmať zdrojový kód prototypu a zmeny v kóde, ale výsledný prototyp. Rozdiel vidíme len v pridaní Verilog parsera, a v zakázaní niektorých položiek v menu (prečo?).

Cieľom prototypovania by však malo byť aplikovanie a overenie navrhovanej architektúry systému. To sa tímu podarilo, pričom základ pre ďalšiu implementáciu je výborný a umožňuje veľa možností rozšírenia.

Zhodnotenie

Na záver môžeme prehlásiť, že prototyp tímu č.2 je zvládnutý dobre. Aplikácia ponúka prehľadné a intuitívne grafické prostredie, v ktorom je možné otvárať VHDL a Verilog, a následne vizualizovať modely digitálnych systémov. Celkový prínos voči pôvodnej aplikácii Ing. Dominika Macka je však malý, aj keď tento prototyp považujeme za dobrý základ na ďalšie jeho rozširovanie a modifikáciu o novú funkcionálnosť.

Celkovo hodnotíme prototyp a dokumentáciu veľmi dobre.

5.2 Posudok prototypu od tímu č.3

Tento dokument predstavuje posudok prototypu tímu číslo 5, prezentovaný 19.12.2012, študijného programu PKSS v akademickom roku 2011/2012 s témou Vizualizácia modelov digitálnych systémov. Dokument sa skladá z posudku prezentácie prototypu a zhodnotenia samotného prototypu. V dokumente sú vyzdvihnuté pozitívne stránky prototypu a prezentácie, ale je poukázané aj na niektoré nedostatky.

Funkčná stránka prototypu

Po otvorení aplikácie vidieť hlavné okno obsahujúce textovú časť, zobrazovaciu časť a hlavné menu. Do textovej časti je možné pomocou hlavného menu vložiť súbory s typu VHDL, Verilog. Hlavné menu obsahuje možnosť vkladania aj súboru typu SystemC, avšak funkcionálnosť tejto možnosti ešte nie je pridaná, avšak je možné vytvárať súbory všetkých týchto typov a následne ich ukladať. Zatiaľ chýbajú funkcie číslovania riadkov a zvyrazňovania syntaxe, avšak veľkou výhodou je implementovaná kontrola syntaxe, čo zjednodušuje používateľovi následnú prácu so súborom. Následne je možné prekonvertovať text (Pri Verilog a VHDL) na XML súbor a tento vizualizovať usporiadaním modulov do mriežky. V hlavnom menu pomocou funkcie Simulation je následne možné simulovať správanie a štruktúru pomocou externého programu GTKWave. Celková funkcionálnosť programu je vzhľadom na to, že sa jedná o prototyp dostatočná, je pridaných viacero prvkov, s ktorými sa dá pracovať.

Vizuálna stránka prototypu

Z vizuálnej stránky vytvorený prototyp pôsobí dojmom jednoduchého programu, v ktorom sa ľahko orientuje a tým je prístupný bežnému používateľovi. Hlavné okno neobsahuje veľa prvkov, v hlavnom menu sa jednoducho orientuje. Výhodou je zobrazovanie textu a vizualizovaného modelu v jednom okne, čo sprehľadňuje prácu v programe.

Prezentácia

Na prezentácii nám boli prakticky predvedené všetky funkcie prototypu, ktorých bolo pomerne veľa. Tiež tím vysvetlil, ako boli ktoré časti riešené, čo sa bude meniť a aké funkcie budú pridané do finálnej verzie. Celá prezentácia pôsobila dobrým dojmom a bolo vidieť, že členovia tímu vedia o čom hovoria. Pozitívne hodnotíme aj spoluprácu členov tímu, ktorí sa navzájom dopĺňali. Na záver prezentácie prebehla krátka diskusia, pri ktorej bolo možné sa pýtať doplňujúce otázky, na ktoré členovia tímu odpovedali k veci.

Zhodnotenie

Prototyp prezentovaný tímom č.5 na konci zimného semestra odrážal návrh uvedený v dokumentácii a pôsobil veľmi kvalitným dojmom. Už prototyp totiž obsahoval veľké množstvo funkcií a bude teda určite tvoriť dobrý základ pre pokračovanie vývoja v budúcom semestri. Ak bude tím pokračovať aj naďalej týmto tempom, výsledný produkt bude veľmi dobre využiteľný a veríme, že sa využije pri výučbe predmetov na našej fakulte. Celú prácu tímu č. 5 hodnotíme veľmi pozitívne.