

Zápis 20. stretnutia tímu č. 2

Vedúci pedagóg: Ing. Peter Pišteľ	
Zúčastnení členovia tímu: Bc. Róbert Chytil Bc. Martin Jánoš Bc. Tomáš Lőrincz Bc. Tomáš Takács Bc. Róbert Virkler	Dátum: 27.4.2011 Miestnosť: D124 Čas: 13.00 – 13.40 Zápis vypracoval: Bc. Tomáš Takács
Chýbajú: -	Zápis overil: Bc. Róbert Virkler

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Úloha	Zodpovedný	Stav	Termín
2.6	Správa webového sídla	RV	prebieha	dlhodobo
5.1	Dokumentácia projektu	MJ	prebieha	dlhodobo
5.2	Dokumentácia riadenia	RCh	prebieha	dlhodobo
11.2	Navrhnuť vylepšenia	Všetci	prebieha	dlhodobo
14.4	Vylepšenie hlavného programu	TL	prebieha	4.5.2011
17.3	Akceptačné testy	Všetci	prebieha	4.5.2011
17.4	Simulácia pre logické obvody	TL,TT	prebieha	4.5.2011
18.3	Simulácia Petriho sietí	RV	prebieha	4.5.2011
19.1	Rozdelenie pluginu na dve časti	MJ	splnené	27.4.2011
19.2.	Používateľská príručka	RCH	splnené	27.4.2011

Pridelené úlohy

Číslo úlohy	Úloha	Zodpovedný	Termín
20.1	Vylepšiť VHDL plugin – testovacia entita	MJ	4.5.2011
20.2	Dorobiť pomocníka v programe	RCH	4.5.2011
20.3	Upraviť plagát pre IIT.SRC	RV	4.5.2011

Priebeh stretnutia

- Podarila sa implementovať úloha z predchádzajúceho stretnutia a plugin pre VHDL sa rozdelil na 2 samostatné časti. Výstupná funkcia obvodu je vypísaná priamo z hlavného programu a prepis obvodu do VHDL kódu vykonáva plugin.
- Peter Pišteck navrhoval aby sa pri pridávaní hradíel automaticky inkrementoval automatický názov hradla. Tím s týmto návrhom súhlasil a implementuje ho TL.
- RCH spísal používateľskú príručku k programu.
- TL informoval o vylepšení hlavného programu ako úprava kontextového menu.
- RV skúšal riešiť úlohu zistenia dostupnosti Petriho sietí. Ako sa ukázalo táto úloha nie je triviálna a preto bude na jej riešení pokračovať. Tiež sa pokúsi vyriešiť úlohu ohľadom zistenia ohraničenosti Petriho siete.
- MJ dostal za úlohu vylepšiť VHDL plugin, tak aby sa spolu s VHDL kódom vypísala aj testovacia entita.
- RCH má za úlohu dorobiť pomocníka do programu.
- RV má za úlohu upraviť plagát na IIT.SRC.
- TT a TL majú za úlohu riešiť simuláciu logických obvodov, prípadne zvoliť si iné úlohy na ktorých sa budú podieľať ak sa im túto úlohu nepodarí stihnúť včas.