

Zápisnica zo stretnutia č. 16

Názov projektu:	Univerzálny virtuálny verifikačný panel logických obvodov	
Vedúci projektu:	Ing. Katarína Jelemenská, PhD.	
Miesto stretnutia:	Zasadačka FIIT STU	
Dátum stretnutia:	31.3.2010	
Čas stretnutia:	13:30	
Prítomní:	Bc. Dominik Macko	-DM
	Bc. Mário Patoprstý	-MPA
	Bc. Martin Popelka	- MPO
	Bc. Miroslav Siebert	-MS
	Bc. Martin Valko	-MV
Prítomný hostia:	Ing. Katarína Jelemenská, PhD.	
Nepítomný:		
Zapisovateľ:	Bc. Mário Patoprstý	
Vedúci stretnutia:	Bc. Miroslav Siebert	
Téma stretnutia:	<u>Skontrolovanie úloh z minulého týždňa a diskusia o najlepšom možnom riešení pre funkcionality exportu do VHDL</u>	

Obsah stretnutia

- Kontrola zadaných úloh
- Diskusia o naimplementovaných funkciách z minulého týždňa a o ich možnom vylepšení
- Stanovenie úloh pre ďalšie pokračovanie implementácie funkcií

Kontrola úloh

Termín zadania	Popis úlohy	Riešiteľ	Termín splnenia	Stav
24.3.2010	Implementácia nového prekresľovania apli	DM	31.3.2010	OK
24.3.2010	Návrh klávesových skratiek	MPA	31.3.2010	OK
24.3.2010	Dokončenie grafických návrhov pre implem	MPO	31.3.2010	OK
24.3.2010	Testovanie nového prekresľovania, Neosetr	MS	31.3.2010	OK
24.3.2010	Návrh riešenia nového prekresľovania	MV	31.3.2010	OK

Stanovenie úloh

Popis úlohy	Riešiteľ	Termín
Implementácia exportu do VHDL	DM	7.4.2010
Testovanie klávesových skratiek po implementácii	MPA	14.4.2010
Kontrola a testovanie správnosti výstupných VHDL súborov	MPO	7.4.2010
Implementácia klávesových skratiek, Návrh riešenia pre export do VHDL	MS	7.4.2010
Podporné funkcie pre export do VHDL, testovanie exportu do VHDL	MV	7.4.2010

Plán budúcich stretnutí

Dátum	Čas	Miesto	Vedie	Zapisuje
7.4.2010	13:30	Softvérové štúdio	MS	MPA
14.4.2010	13:30	Softvérové štúdio	MS	MPA
21.4.2010	13:30	Softvérové štúdio	MS	MPA